

(19)日本国特許庁 (J P)

(12) 公開実用新案公報 (U)

(11)実用新案出願公開番号

実開平5-4266

(43)公開日 平成5年(1993)1月22日

(51)Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 12/16	3 1 0 C	7629-5B		
11/10	3 3 0 K	7832-5B		
11/22	3 1 0 F	9072-5B		
G 1 1 C 29/00	3 0 2	9288-5L		

審査請求 未請求 請求項の数1(全2頁)

(21)出願番号 実願平3-51273

(22)出願日 平成3年(1991)7月3日

(71)出願人 000006507

横河電機株式会社

東京都武蔵野市中町2丁目9番32号

(72)考案者 松田 年彦

東京都武蔵野市中町2丁目9番32号 横河

電機株式会社内

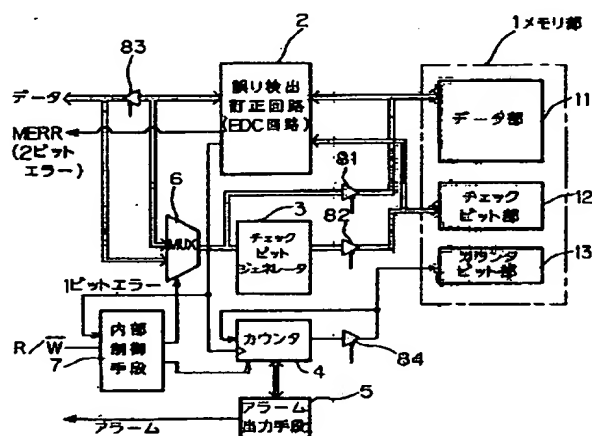
(74)代理人 弁理士 小沢 信助

(54)【考案の名称】 メモリ装置

(57)【要約】

【目的】エラー発生回数の多いアドレスを特定し、不具合のあるメモリ素子の交換情報をきめ細かに提供できるようにする。

【構成】メモリ部内に設けられ各アドレスでの1ビットエラーの発生頻度情報を各アドレスごとに格納するカウンタビット部と、メモリ部からの指定アドレスのデータ読出し時に、そのアドレスに対応するカウンタビット部の情報がプリロードされる共に、EDC回路において訂正可能な1ビットエラーが検出された場合その内容(カウンタ値)がインクリメントされ、そのカウント値を再びカウンタビット部に書込むカウンタと、このカウンタの値が所定の値を超えたら警報を出力するアラーム手段とを設けて構成される。



1

【実用新案登録請求の範囲】

【請求項1】データとパリティチェックビットとを記憶するECC化構成のメモリ部と、メモリ部から読み出されたデータとパリティチェックビットとを入力し、誤りを検出し可能であればそれを訂正する誤り検出・訂正回路(EDC回路)と、前記メモリ部にデータを書き込むときにチェックビットを発生させるチェックビットジェネレータとを備えたメモリ装置であって、前記メモリ部内に設けられ各アドレスでの1ビットエラーの発生頻度情報を各アドレスごとに格納するカウンタビット部と、メモリ部からの指定アドレスのデータ読出し時に、当該アドレスに対応するカウンタビット部の情報がプリロードされる共に、EDC回路において訂正可能な1ビットエラーが検出された場合その内容(カウンタ値)がインクリメントされ、当該カウンタ値を再び前記カウンタビ*

2

* ット部に書込むカウンタと、

このカウンタの値が所定の値を越えたら警報を出力するアラーム手段とを設けたことを特徴とするメモリ装置。

【図面の簡単な説明】

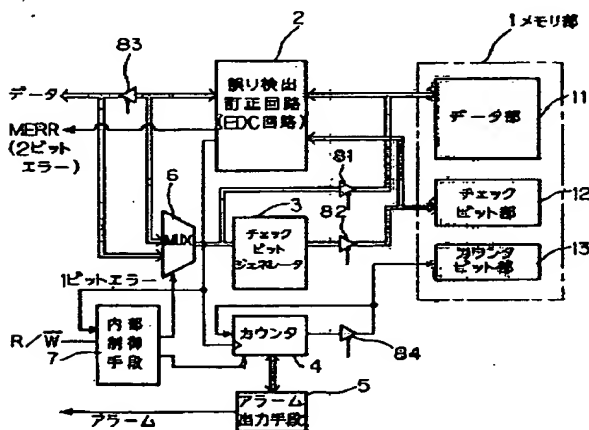
【図1】本考案の一実施例を示す構成ブロック図である。

【図2】従来のメモリ装置の構成概念図である。

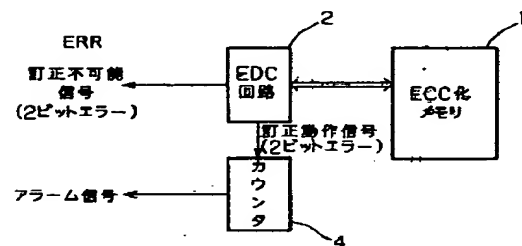
【符号の説明】

- 1 メモリ部
- 2 EDC回路
- 3 チェックビットジェネレータ
- 4 カウンタ
- 5 アラーム出力手段
- 6 マルチプレクサ
- 7 内部制御手段

【図1】



【図2】



【考案の詳細な説明】

【0001】

【産業上の利用分野】

本考案は、マイクロプロセッサ（CPU）によってアクセスされるECC（Error Correcting Code）化構成のメモリ装置に関し、さらに詳しくは、誤り（エラー）検出・訂正回路（Error Detection and Correction EDC回路と略す）を有し、1ビットエラー発生の頻度を確認できるようにして信頼性を向上させたメモリ装置に関する。

【0002】

【従来の技術】

図2は、従来のEDC回路を有するメモリ装置の一例を示す構成概念図である。図において、1はメモリ部で、データ格納部とパリティビット格納部とを有している。2はメモリ部1から読み出されたデータ及びパリティビットを入力し、誤りを検出するEDC回路で、エラーが検出された場合そのエラーが訂正可能であればそれを訂正して正しいデータを、CPU側に転送する。訂正が不可能であれば、その事を示す訂正不可能信号ERRをCPU側に出力する。4は訂正可能のエラーを計数するカウンタで、このカウンタの値が所定の値を越えたらアラームを出力するように構成してある。

【0003】

【考案が解決しようとする課題】

この様な構成の従来装置においては、カウンタ4はメモリ部1のアドレスに関係なく、訂正可能のエラー数をカウントするものであるため、特定のアドレスでのエラー発生頻度等が分からず、メモリ部1のきめ細かなメンテナンスを行う上で不具合があった。

本考案は、この様な点に鑑みてなされたもので、メモリ部の各アドレスごとにカウンタビットを用意して、1ビットエラー発生の頻度を各アドレスごとに知ることができるようにしたメモリ装置を提供することを目的とする。

【0004】

【課題を解決するための手段】

この様な目的を達成する本考案は、

データとパリティチェックビットとを記憶するECC化構成のメモリ部と、メモリ部から読み出されたデータとパリティチェックビットとを入力し、誤りを検出し可能であればそれを訂正する誤り検出・訂正回路(EDC回路)と、前記メモリ部にデータを書き込むときにチェックビットを発生させるチェックビットジェネレータとを備えたメモリ装置であって、

前記メモリ部内に設けられ各アドレスでの1ビットエラーの発生頻度情報を各アドレスごとに格納するカウンタビット部と、

メモリ部からの指定アドレスのデータ読出し時に、当該アドレスに対応するカウンタビット部の情報がプリロードされる共に、EDC回路において訂正可能な1ビットエラーが検出された場合その内容(カウンタ値)がインクリメントされ、当該カウンタ値を再び前記カウンタビット部に書込むカウンタと、

このカウンタの値が所定の値を越えたら警報を出力するアラーム手段とを設けたことを特徴とするメモリ装置である。

【0005】

【作用】

メモリ部のデータ部、チェックビット部、カウンタビット部はいずれも各アドレスごとに対応して設けられていて、データ書込み時には指定のアドレスのデータ部に書込みデータが、チェックビット部にはそのデータから生成されたチェックビットが、カウンタビット部にはゼロがそれぞれ書込まれる。

データの読出し時には、これらがともに読み出され、カウンタビット部からの内容は、カウンタにプリロードされる。EDC回路は、読み出されたデータと対応するチェックビットとにより誤り検出を行い、訂正可能なエラーが検出されればそれを訂正して、CPU側に訂正後のデータを転送する。このときカウンタの内容がインクリメントされる。カウンタの内容(計数值)は、指定アドレスについての訂正可能なエラー発生頻度を示しており、その情報はカウンタビット部に再び書込まれる。

カウンタが示すエラー発生頻度が所定の値を越えた場合、アラーム出力手段からアラームが出力される。

【0006】

【実施例】

以下図面を用いて、本考案の実施例を詳細に説明する。

図1は、本考案の一実施例を示す構成ブロック図である。図において、1はデータ部11とパリティチェックビット部12と、カウンタビット部13を有するECC化構成のメモリ部、2はメモリ部1から読み出されたデータとパリティチェックビットとを入力し、誤りを検出し訂正可能であれば（例えば1ビットエラーであれば）、それを訂正するEDC回路である。

このEDC回路2は、ここで1ビットエラー（訂正可能なエラー）が検出されれば、1ビットエラー検出信号ERRを出力し、訂正が不可能な例えば2ビットエラーが検出されれば、2ビットエラー信号MERRをCPU側（図示せず）に出力するように構成されている。

3はチェックビットジェネレータで、CPU側からメモリ部1に書き込むデータを入力し、この書き込みデータからチェックビットを作り、それをメモリ部1のチェックビット部12に書込むように構成されている。

【0007】

4は本考案において特徴としているカウンタで、メモリ部1の指定アドレスからのデータ読出し時に、そのアドレスに対応するカウンタビット部13の内容を読み出し、その値をプリロードすると共に、EDC回路2において訂正可能な1ビットエラー検出信号を受けて、その内容（カウンタ値）をインクリメントし、その値を再びカウンタビット部13に書込むように構成されている。5はカウンタ4の値が所定の値を越えたら警報を出力するアラーム手段である。

6はCPU側からの書き込みデータと、EDC回路2からのデータとのいずれかを選択するマルチプレクサ、7は内部制御手段で、CPU側からリード/ライトコマンドR/Wを受けると共に、EDC回路2から1ビットエラー検出信号を受け、各バッファ81～84やマルチプレクサ6、カウンタ4の制御を行うものである。

【0008】

このように構成した装置の動作を、次に説明する。

メモリ部1のデータ部11およびチェックビット部12への通常のリード/ライトアクセスは、従来装置と変わりはない。すなわち、CPUからの書込み時（ライトアクセス）において、マルチプレクサ6はCPU側からの書込みデータを選択し、それをデータ部11に書込み、チェックビットジェネレータ3はこの書込みデータに基づいてチェックビットを生成し、それをバッファ82を介してチェックビット部12に書込む。

データ読出し時（リードアクセス）は、EDC回路2は、読み出したデータとチェックビットを入力し、誤りの検出を行い、誤りが検出されなければ読出したデータをそのまま、訂正可能なエラーが検出されればそれを訂正したデータをバッファ83を介してCPU側に転送する。また、訂正データは、マルチプレクサ6を経てデータ部11およびチェックビットジェネレータ3に送られ、データ部11の内容を訂正データに書替えると共に、チェックビット部12をこの訂正データに基づいて生成されたチェックビットに書替える。2ビットエラーが検出されれば、それを示すエラー信号MERRをCPU側に出力する。

【0009】

これらの通常のアクセス中において、例えばライトアクセス時には、カウンタビット部13は、ゼロクリアされそこにゼロが書込まれる。

リードアクセス時には、指定アドレスのカウンタビット部13から読み出された内容が、カウンタ4にプリロードされる。そして、EDC回路2から訂正可能な1ビットエラー検出を示す信号ERRが出力された場合、カウンタ4の内容がインクリメントされる。そしてこのカウンタ値は、カウンタビット部13に訂正データのデータ部11への書込みタイミングと同じタイミングで同じ指定アドレスに書込まれる。

このようにして、カウンタビット部13の内容は、データ部11へのデータの書込み後、そのデータへリードアクセスしたときに1ビットエラーが検出される毎にインクリメントされた値に書替えられることとなる。従って、各アドレスごとに1ビットエラー発生頻度情報がカウンタビット部13に保持されることとなる。

カウンタ4にプリロードされたカウンタ値は、リードアクセスで指定したアド

レスについての訂正可能のエラー発生頻度を示しており、アラーム出力手段5は、EDC回路2からの1ビットエラー検出によりカウンタ値がインクリメントされ時点で所定の値を越えたか監視していて、所定値を越えた場合アラームを出力し特定アドレスでのエラー発生頻度が多いことを知らせる。

【0010】

【考案の効果】

以上詳細に説明したように、本考案によれば、メモリ部のカウンタビット部に各アドレスでの訂正可能の1ビットエラーの発生頻度情報を書込むようにすると共に、この発生頻度が所定の値を越えたときアラームを出力するようにしたもので、エラー発生回数の多いアドレスを特定することが可能となる。従って、本考案によれば、不具合のあるメモリ素子の交換情報をきめ細かに提供することができ、信頼性の高いメモリ装置を実現することができる。

【0011】